

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Fumio OHTAKE, et al.**

Serial No.: **Not Yet Assigned**

Filed: **December 28, 2000**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D.C. 20231

December 28, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 11-373406, filed December 28, 1999

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON



Le-Nhung McLeland
Reg. No. 31,541

Atty. Docket No.: 001752
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
LNM/ll

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC690 U.S. PRO
09/749590
12/26/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 1999年12月28日

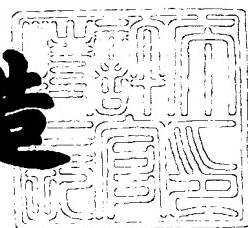
出願番号
Application Number: 平成11年特許願第373406号

出願人
Applicant(s): 富士通株式会社
株式会社東芝

2000年 8月25日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3067255

【書類名】 特許願

【整理番号】 9940982

【提出日】 平成11年12月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78 301

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 13

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 大竹 文雄

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横
浜事業所内

【氏名】 赤坂 泰志

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横
浜事業所内

【氏名】 村越 篤

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横
浜事業所内

【氏名】 須黒 恒一

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社東芝

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704681

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 シリコン基板中に離間して形成された一対の不純物拡散領域と、前記一対の不純物拡散領域の間の前記シリコン基板上にゲート絶縁膜を介して形成されたゲート電極を有する半導体装置において、

前記ゲート電極は、前記ゲート絶縁膜上に形成された第1のポリシリコン膜と、前記第1のポリシリコン膜上に形成され、前記第1のポリシリコン膜とは結晶粒界が連続しない第2のポリシリコン膜と、前記第2のポリシリコン膜上に形成された金属窒化物膜とを有する

ことを特徴とする半導体装置。

【請求項2】 シリコン基板中に離間して形成された一対の不純物拡散領域と、前記一対の不純物拡散領域の間の前記シリコン基板上にゲート絶縁膜を介して形成されたゲート電極を有する半導体装置において、

前記ゲート電極は、前記ゲート絶縁膜上に形成された第1のポリシリコン膜と、前記第1のポリシリコン膜上に形成され、前記第1のポリシリコン膜とは結晶粒界が連続しない第2のポリシリコン膜と、前記第2のポリシリコン膜上に形成された金属窒化物膜と、前記金属窒化物膜上に形成された金属膜とを有する

ことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、

前記第1のポリシリコン膜と前記第2のポリシリコン膜との間に、自然酸化膜が形成されている

ことを特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれか1項に記載の半導体装置において

前記第1のポリシリコン膜に、ボロンが添加されている

ことを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれか1項に記載の半導体装置において

前記第1のポリシリコン膜と前記第2のポリシリコン膜に、ボロンが添加されており、前記第1のポリシリコン膜と前記第2のポリシリコン膜との界面近傍における前記第1のポリシリコン膜中のボロン濃度は、前記第1のポリシリコン膜と前記第2のポリシリコン膜との界面近傍における前記第2のポリシリコン膜中のボロン濃度よりも高い

ことを特徴とする半導体装置。

【請求項6】 請求項1乃至5のいずれか1項に記載の半導体装置において

前記第1のポリシリコン膜の結晶粒径は、前記第2のポリシリコン膜の結晶粒径よりも小さい

ことを特徴とする半導体装置。

【請求項7】 シリコン基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、ボロンが添加された第1のシリコン膜を形成する工程と、

前記第1のシリコン膜上に、第2のシリコン膜を形成する工程と、

前記第2のシリコン膜上に、金属窒化物膜を形成する工程と、

前記金属窒化物膜上に、金属膜を形成する工程と、

前記第1のシリコン膜と、前記第2のシリコン膜と、前記金属窒化物膜と、前記金属膜とを有する積層体をパターニングし、前記積層体よりなるゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

前記第1のシリコン膜を形成する工程は、前記ゲート絶縁膜上にポリシリコン膜を形成する工程と、前記ポリシリコン膜にボロンを添加する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、

前記ポリシリコン膜を形成する工程と前記ボロンを添加する工程との間に、前記ポリシリコン膜の表面をアモルファス化する工程を更に有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項7記載の半導体装置の製造方法において、

前記第1のシリコン膜を形成する工程は、前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、前記アモルファスシリコン膜にボロンを添加する工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項11】 請求項7乃至10のいずれか1項に記載の半導体装置の製造方法において、

前記第2のシリコン膜を形成する工程では、前記第1のシリコン膜上に自然酸化膜を介して前記第2のシリコン膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項12】 請求項7乃至11のいずれか1項に記載の半導体装置の製造方法において、

前記第1のシリコン膜を形成する工程と前記第2のシリコン膜を形成する工程との間に、前記第1のシリコン膜に添加したボロンを活性化する熱処理工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項13】 請求項7乃至12のいずれか1項に記載の半導体装置の製造方法において、

前記第2のシリコン膜を形成する工程では、膜厚が2～20nmの前記第2のシリコン膜を形成する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体装置及びその製造方法に係り、特に、ポリシリコン膜と金属膜とを積層したポリメタル構造のゲート電極を有する半導体装置及びその製造方法に関する。

【0002】**【従来の技術】**

従来より、MOSFETのゲート電極には、その熱的安定性やMOS特性の面からの基板シリコンとの相性等の観点から、ポリシリコンの単層構造が用いられていた。現在では、ポリシリコンの有する上記特長を生かしつつゲート電極のシート抵抗を下げるため、ポリシリコン膜上にシリサイド膜を堆積した、いわゆるポリサイド構造が主流となっている。現在市販されているロジックデバイスやメモリデバイスには、ポリサイド構造のゲート電極構造が採用されている。

【0003】

現在のロジックデバイスにおけるMOSFETのゲート電極には、一般に、チタンシリサイド或いはコバルトシリサイドとポリシリコンとの積層構造が採用されている。一方、メモリデバイスにおけるMOSFETのゲート電極には、タンゲステンシリサイドとポリシリコンとの積層構造が採用されている。これは、ロジックデバイスではゲート電極を形成した後に高温・長時間の熱処理を必要としないことから、耐熱性は低いがシート抵抗を十分に下げられるチタンシリサイドやコバルトシリサイドを適用することにより高速動作性能に重きをおいてデバイス構築を行っているのに対し、メモリデバイスではゲート電極形成後に高温・長時間の熱処理が必要なキャパシタ形成工程が必要であるため、チタンシリサイドやコバルトシリサイドよりもシート抵抗が高いが耐熱性に勝るタンゲステンシリサイドを適用することによりメモリ素子の製造工程との整合を図りつつデバイス構築を行っているからである。

【0004】

また、現在製造されているメモリの周辺回路には、Nチャネルトランジスタのゲート電極にもPチャネルトランジスタのゲート電極にも N^+ ポリシリコンを用いた、いわゆるシングルゲートのCMOS回路が適用されていることも、タンゲステンシリサイドをメモリデバイスに適用する一つの理由である。すなわち、メモリデバイスはロジックデバイスほどには周辺回路の性能を高くする必要がないため、Nチャネルトランジスタのゲート電極に N^+ ポリシリコンを用いPチャネルトランジスタのゲート電極に P^+ ポリシリコンを用いた、いわゆるデュアルゲートのCMOS回路を使用する必要性が低かったからである。また、タンゲステンシリサイド中のドーパントの移動はポリシリコン中とは桁違いに大きいため

タンゲステンシリサイドをデュアルゲートのCMOS回路に適用することは困難でもあった。

【0005】

しかしながら、近年では、メモリデバイスにおいても周辺回路にデュアルゲートのCMOS回路を用いて高性能化を図ることが要請されている。ただし、プロセスの異なるロジックデバイス用のCMOS回路をそのままメモリデバイスに適用したのでは、耐熱性がないこと及びシリサイド中のドーパントの移動度の高さの問題から、メモリデバイスでは高性能の回路を構成することはできない。

【0006】

そこで、現在、高融点金属とポリシリコンとを積層した、いわゆるポリメタルゲート電極構造が検討されている。ポリメタルゲート構造は、ポリシリコン上にシリサイドよりも耐熱性が高くシート抵抗の低い高融点金属を積層したものであり、ロジックデバイスからの要請である低シート抵抗化と、メモリデバイスからの要請である耐熱化という双方の要請を同時に満たすことが可能である。

【0007】

代表的なポリメタルゲート構造を有するMOSトランジスタについて、図12を用いて説明する。

【0008】

シリコン基板100上には、ゲート絶縁膜102を介してゲート電極104が形成されている。ゲート電極104は、ゲート絶縁膜102上に形成されたポリシリコン膜106と、ポリシリコン膜106上に形成されたWN（窒化タンゲステン）膜108と、WN膜108上に形成されたW（タンゲステン）膜との積層構造によって構成されている。WN膜108は、ポリシリコン膜106とW膜110とが反応して抵抗の高いタンゲステンシリサイドが形成されるのを防止するバリアメタルである。ゲート電極104上には、シリコン窒化膜よりなるキャップ膜112が形成されている。ポリシリコン膜106の側壁部分にはシリコン酸化膜114が形成されている。ゲート電極104側壁には、サイドウォール絶縁膜116が形成されている。ゲート電極104の両側のシリコン基板100内には、低濃度拡散領域118と高濃度拡散領域120により構成されるソース／

ドレイン拡散層122が形成されている。

【0009】

図12に示すポリメタルゲート構造は、耐熱性、デュアルゲート構造を採用したときのポリシリコン膜106中のドーパントの相互拡散を抑制するという点できわめて優れており、その後のプロセスにおいて高温・長時間の熱処理がかかってもシート抵抗が変動せず、CMOS回路のトランジスタの閾値が変化することはない。

【0010】

従来の半導体装置の製造方法においては、ポリシリコン膜106となるアモルファスシリコン膜を堆積し、このアモルファスシリコン膜中にボロンをドーピングし、WN膜108及びW膜110を堆積し、これら積層膜をパターニングすることにより、ゲート電極104を形成していた。

【0011】

【発明が解決しようとする課題】

しかしながら、上記製造方法により製造されたポリメタルゲート構造を有する半導体装置では、PMOSFETにおいてゲート電極104の空乏化が生じたことがあった。

【0012】

PMOSFETのゲート電極104における空乏化について本願発明者等が鋭意検討を行った結果、ゲート電極104の空乏化は、PMOSFETのゲートドーパントであるボロンがバリアメタルのWN膜108とポリシリコン膜106との反応層に吸いこまれてBN結合を形成する結果、ポリシリコン膜106中のボロン濃度が低下するためであることが初めて明らかとなった。ゲート電極の空乏化はMOSトランジスタの諸特性に悪影響を及ぼすものであり、可能な限り抑止することが望まれる。

【0013】

本発明の目的は、デュアルゲートのポリメタルゲート構造を有する半導体装置において、PMOSFETのゲート電極の空乏化を抑止しうる半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

図12に示す従来の半導体装置におけるゲート電極104の空乏化の原因について本願発明者等が鋭意検討を行った結果、WN膜によるボロンの吸いこみは、ゲートドーパントであるボロンがバリアメタルのWN膜108とポリシリコン膜106との反応層に吸いこまれてBN結合が形成されることにあることが本願発明者等によって初めて明らかとなった。

【0015】

図13は、図12に示す従来の半導体装置におけるゲート電極中のボロンの分布を二次イオン質量分析(SIMS)法により測定した結果を示すグラフである。また、図14は、WN膜とポリシリコン膜との界面に存在するボロンの結合状態をX線光電子分光(XPS)法により分析した結果を示すグラフである。

【0016】

図13に示すように、ポリシリコン膜106中に導入されたボロンは、WN膜108に吸い上げられ、WN膜中には高濃度のボロンが存在することが判る。また、図14に示すように、WN膜108とポリシリコン膜106との界面近傍には、ボロンとシリコンとの結合が存在するとともに、ボロンと窒素の結合が存在することが判る。これらの結果から、ポリシリコン膜106中のボロンがWN膜108とポリシリコン膜106との反応層に吸いこまれてBN結合を形成する結果、ポリシリコン膜106中のボロン濃度が低下し、ゲート電極104の空乏化をもたらしたものと考えられる。

【0017】

そこで、本願発明者等は、ボロンがWN膜とポリシリコン膜との反応層に吸いこまれるのを抑制する手段について模索した。その結果、ボロンを導入したポリシリコン膜とWN膜との間に薄いシリコン膜を介在させることが有効であることに想到し、WN膜とポリシリコン膜との反応層によるボロンの吸いこみを抑制することに成功した。

【0018】

ポリシリコン膜とWN膜との間にシリコン膜を介在させることによりボロンの

WN膜方向への拡散が抑制されるのは、ポリシリコン膜とシリコン膜との間に自然酸化膜が形成されているためであると考えられる。ポリシリコン膜にボロンを導入した後にシリコン膜を形成するプロセスを採用すると、これら成膜工程においてウェーハが大気に曝され、ポリシリコン膜の表面には自然酸化膜が形成される。また、その後のシリコン膜の成膜前に前処理を行っても成膜装置内に導入するまでの過程において自然酸化膜が形成されるため、ポリシリコン膜とシリコン膜との間の自然酸化膜を完全に除去するのは困難である。

【0019】

本発明は、このように形成される自然酸化膜を利用するものであり、ポリシリコン膜とシリコン膜との間に形成される自然酸化膜によって、ポリシリコン膜からシリコン膜方向へのボロンの拡散を抑制し、ひいてはWN膜によるボロンの吸いこみを低減するものである。

【0020】

ポリシリコン膜とシリコン膜との間に介在する酸化膜は、厚すぎるとポリシリコン膜とシリコン膜との間のコンタクト抵抗を増大させ、薄すぎるとボロンの拡散を抑制する効果が低減すると考えられる。したがって、この酸化膜の膜厚は、0.5～1.5nm程度であることが望ましい。

【0021】

ポリシリコン膜とWN膜との間に介在させるシリコン膜は、ポリシリコン膜であってもアモルファスシリコン膜であってもよい。このシリコン膜の膜厚は、5nm程度以上にすることが望ましい。これより薄すぎると、シリコン膜のすべてがWN膜と反応してしまい、自然酸化膜によるボロンの移動の抑制が十分ではなくなるからである。他方、ポリシリコン膜とWN膜との間に介在させるシリコン膜の膜厚が厚すぎると、ポリシリコン膜からシリコン膜へのボロンの供給が不十分となり、シリコン膜とWN膜とのコンタクト抵抗が増加し、特にAC特性に悪影響を及ぼす虞がある。また、WN膜のオーバーエッティングが自然酸化膜によってストップしてしまい、ゲート電極形成のためのエッティングが複雑になる虞がある。したがって、シリコン膜の膜厚は、2nm～20nm程度に設定することが望ましい。

【0022】

図1は、シリコン膜を介在させない従来例及びアモルファスシリコン膜を介在させた本発明（実施例1）におけるゲート電極中のボロンの分布をSIMS法により測定した結果を示すグラフである。なお、この測定に使用した本発明の試料における詳細な製造条件は、後述の第1実施形態を参照されたい。従来例の試料は、アモルファスシリコン膜を形成する工程を行わないほかは、第1実施形態と同様の条件により製造した。

【0023】

図1に示すように、アモルファスシリコン膜（a-Si）を介在させる本発明の実施例1では、アモルファスシリコン膜を介在させない従来例と比較して、WN膜方向へのボロンの拡散が抑制されている。これにより、本発明では、ポリシリコン膜中のボロン濃度を大幅に向上することができた。

【0024】

なお、本発明においてアモルファスシリコン膜とポリシリコン膜との間に小さなピークが観察されるが、これは界面に自然酸化膜が存在することを示している。換言すれば、バリアメタル下のポリシリコン膜が複数回の堆積によって形成されたことを知る手段の一つとして、SIMS法によるボロン濃度分布の測定を適用することができる。また、SIMS法により、自然酸化膜の酸素を直接分析することもできる。

【0025】

但し、図1に示す実施例1では、シリコン基板の表面近傍におけるボロン濃度が従来例と比較して増加している。これは、界面近傍のボロン濃度が増加したのに伴い、シリコン基板内部に拡散するボロン濃度も増大したためと考えられる。シリコン基板内部へのボロンの拡散は、フラットバンド電圧の変動、すなわちトランジスタの閾値電圧に影響を及ぼすため、可能な限り低減することが望ましい。

【0026】

シリコン基板内部に拡散するボロンの濃度を低減するには、ゲート絶縁膜と接する下層のポリシリコン膜を形成するにあたり、ノンドープのアモルファスシリ

コン膜を堆積した後にボロンをドーピングするのではなく、ノンドープのポリシリコン膜を堆積してその表面をプリアモルファス化した後にボロンをドーピングすることが有効である。成膜過程でポリシリコン膜を堆積することによりその後の熱処理におけるボロンのシリコン基板方向への拡散を抑制できるメカニズムについては明らかではないが、本願発明者等は以下のように推測している。

【0027】

一般に、成膜過程でポリシリコン膜を形成する場合、アモルファスシリコン膜を堆積した後に熱処理によって多結晶化する場合と比較して、その結晶粒径は小さく、且つ、柱状に成長する。このため、成膜過程でポリシリコン膜を形成する場合、ポリシリコン膜に導入されたボロン原子は、結晶粒界の柱に沿ってゲート絶縁膜方向に拡散しやすいと考えられる。他方、成膜過程でポリシリコン膜を形成する場合には結晶粒径が小さいため、結晶粒界面積が広く、アモルファスシリコン膜を堆積した後に熱処理によって多結晶化する場合と比較して、ボロン原子が結晶中に取り込まれやすいと考えられる。したがって、成膜過程でポリシリコン膜を形成する場合には、ゲート絶縁膜近傍に高濃度にボロンが拡散するが、多結晶シリコン中に取り込まれるボロンが多く、ゲート絶縁膜12を越えてシリコン基板10中に拡散するボロンの濃度を低下できるものと考えられる。このような見解から推測するに、下地のポリシリコン膜の結晶粒径は小さいことが望ましいと考えられる。

【0028】

また、ポリシリコン膜をプリアモルファス化するのは、ドーピングの際におけるボロンイオンのチャネリングを抑制するためである。したがって、例えば1keVのような低エネルギーのイオン注入が可能となり、シリコン基板内部へのチャネリングによるボロンの突き抜けを抑えられるような場合には、ポリシリコン膜のプリアモルファス化は必ずしも必要はない。

【0029】

図2は、ボロンをドープしたアモルファスシリコン膜を多結晶化してポリシリコン膜106を形成し、ポリシリコン膜106とWN膜108との間にアモルファスシリコン膜を介在しない従来例、及び、ポリシリコン膜を堆積してプリアモ

ルファス化した後にボロンをドープし、且つ、ポリシリコン膜とWN膜との間にアモルファスシリコン膜を介在させた本発明（実施例2）におけるゲート電極中のボロンの分布をSIMS法により測定した結果を示すグラフである。なお、この測定に使用した本発明の試料における詳細な製造条件は、後述の第2実施形態を参照されたい。従来例の試料は、アモルファスシリコン膜を形成する工程を行わないほかは、第1実施形態と同様の条件により製造した。

【0030】

図2に示すように、アモルファスシリコン膜を堆積する代わりにポリシリコン膜を堆積してプリアモルファス化することにより、ゲート絶縁膜との界面近傍におけるシリコン基板中のボロン濃度を、従来例の場合とほぼ同等にまで低減することができる。これにより、トランジスタの閾値電圧の変動を抑えることができる。

【0031】

なお、図2に示す本発明の試料ではポリシリコンの膜厚を100nmとしており、従来例の70nmよりも厚くしている。しかしながら、シリコン基板中へのボロンの拡散を抑止する効果は、ポリシリコン膜の膜厚を増加したことによるチャネリングの低減に起因するものではない。70nmのアモルファスシリコン膜にボロンを注入した試料（図1の本発明の試料）と、100nmのポリシリコン膜にボロンを注入した試料（図2の本発明の試料）とを比較すると、100nmのポリシリコン膜にボロンを注入した試料では、70nmのアモルファスシリコン膜にボロンを注入した試料よりもゲート絶縁膜近傍のポリシリコン膜中におけるボロン濃度が高いにも関わらず、シリコン基板中へ突き抜けているボロンの濃度が低くなっている。したがって、ボロンのシリコン基板方向への拡散を抑止する効果は、上述のような、ポリシリコン膜中におけるボロンの拡散の様相と、アモルファスシリコンを多結晶化したポリシリコン膜中におけるボロンの拡散の様相の違いに起因するものと考えられる。

【0032】

図3は、従来例及び本発明により形成したMOSキャパシタについてC-V測定を行った結果を示すグラフである。ゲート電極の空乏化を評価する指標として

はC-Vカーブにおける蓄積容量の測定を適用することができ、蓄積容量が高いほどにゲート電極の空乏化が少ないと判断することができる。また、シリコン基板方向へのボロンの拡散は、C-Vカーブの0V近傍における傾きにより判断することができ、傾きが緩いほどにすなわちフラットバンド電圧が大きいほどにボロンの基板方向への拡散が大きいことが判る。

【0033】

図示するように、WN膜とポリシリコン膜との間にアモルファスシリコン膜を介在させた本発明の実施例1では、従来例と比較して蓄積容量を増加することができた。但し、実施例1では従来例と比較してC-Vカーブが正電圧方向にシフトしており、SIMSの測定結果にみられたと同様にボロンの基板方向への拡散が観察される。

【0034】

一方、ポリシリコン膜を堆積してプリアモルファス化した後にボロンをドープし、且つ、ポリシリコン膜とWN膜との間にアモルファスシリコン膜を介在させた本発明の実施例2では、従来例と比較して蓄積容量を増加することができるとともに、ボロンの基板方向への拡散を従来例とほぼ同等にまで抑えることができた。

【0035】

図4は従来例及び本発明により形成したPMOSFETについてId-Vg特性を測定した結果を示すグラフである。図3に示す結果と同様に、本発明の実施例1では閾値電圧のシフトが観察され、ボロンがシリコン基板方向に拡散していることが観察される。一方、本発明の実施例2では従来例とほぼ同様のサブスレショルド特性を有しており、ボロンのシリコン基板方向への拡散が抑制されていることが判る。

【0036】

すなわち、上記目的は、シリコン基板中に離間して形成された一対の不純物拡散領域と、前記一対の不純物拡散領域の間の前記シリコン基板上にゲート絶縁膜を介して形成されたゲート電極を有する半導体装置において、前記ゲート電極は、前記ゲート絶縁膜上に形成された第1のポリシリコン膜と、前記第1のポリシ

リコン膜上に形成され、前記第1のポリシリコン膜とは結晶粒界が連続しない第2のポリシリコン膜と、前記第2のポリシリコン膜上に形成された金属窒化物膜とを有することを特徴とする半導体装置によって達成される。

【0037】

また、上記目的は、シリコン基板中に離間して形成された一対の不純物拡散領域と、前記一対の不純物拡散領域の間の前記シリコン基板上にゲート絶縁膜を介して形成されたゲート電極を有する半導体装置において、前記ゲート電極は、前記ゲート絶縁膜上に形成された第1のポリシリコン膜と、前記第1のポリシリコン膜上に形成され、前記第1のポリシリコン膜とは結晶粒界が連続しない第2のポリシリコン膜と、前記第2のポリシリコン膜上に形成された金属窒化物膜と、前記金属窒化物膜上に形成された金属膜とを有することを特徴とする半導体装置によっても達成される。

【0038】

また、上記の半導体装置において、前記第1のポリシリコン膜と前記第2のポリシリコン膜との間に、自然酸化膜が形成されているようにしてもよい。

【0039】

また、上記の半導体装置において、前記第1のポリシリコン膜に、ボロンが添加されているようにしてもよい。

【0040】

また、上記の半導体装置において、前記第1のポリシリコン膜及び前記第2のポリシリコン膜にボロンが添加されており、前記第1のポリシリコン膜と前記第2のポリシリコン膜との界面近傍における前記第1のポリシリコン膜中のボロン濃度は、前記第1のポリシリコン膜と前記第2のポリシリコン膜との界面近傍における前記第2のポリシリコン膜中のボロン濃度よりも高いようにしてもよい。

【0041】

また、上記の半導体装置において、前記第1のポリシリコン膜の結晶粒径は、前記第2のポリシリコン膜の結晶粒径よりも小さいようにしてもよい。

【0042】

また、上記目的は、シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲ

ート絶縁膜上に、ボロンが添加された第1のシリコン膜を形成する工程と、前記第1のシリコン膜上に、第2のシリコン膜を形成する工程と、前記第2のシリコン膜上に、金属窒化物膜を形成する工程と、前記金属窒化物膜上に、金属膜を形成する工程と、前記第1のシリコン膜と、前記第2のシリコン膜と、前記金属窒化物膜と、前記金属膜とを有する積層体をパターニングし、前記積層体よりなるゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法によつても達成される。

【0043】

また、上記の半導体装置の製造方法において、前記第1のシリコン膜を形成する工程は、前記ゲート絶縁膜上にポリシリコン膜を形成する工程と、前記ポリシリコン膜にボロンを添加する工程とを有するようにしてもよい。

【0044】

また、上記の半導体装置の製造方法において、前記ポリシリコン膜を形成する工程と前記ボロンを添加する工程との間に、前記ポリシリコン膜の表面をアモルファス化する工程を更に有するようにしてもよい。

【0045】

また、上記の半導体装置の製造方法において、前記第1のシリコン膜を形成する工程は、前記ゲート絶縁膜上にアモルファスシリコン膜を形成する工程と、前記アモルファスシリコン膜にボロンを添加する工程とを有するようにしてもよい。

【0046】

また、上記の半導体装置の製造方法において、前記第2のシリコン膜を形成する工程では、前記第1のシリコン膜上に自然酸化膜を介して前記第2のシリコン膜を形成するようにしてもよい。

【0047】

また、上記の半導体装置の製造方法において、前記第1のシリコン膜を形成する工程と前記第2のシリコン膜を形成する工程との間に、前記第1のシリコン膜に添加したボロンを活性化する熱処理工程を更に有するようにしてもよい。

【0048】

また、上記の半導体装置の製造方法において、前記第2のシリコン膜を形成する工程では、膜厚が2~20nmの前記第2のシリコン膜を形成するようにしてよい。

【0049】

【発明の実施の形態】

【第1実施形態】

本発明の第1実施形態による半導体装置及びその製造方法について図5乃至図8を用いて説明する。

【0050】

図5は本実施形態による半導体装置の構造を示す概略断面図、図6乃至図8は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0051】

はじめに、本実施形態による半導体装置の構造について図5を用いて説明する。

【0052】

シリコン基板10上には、ゲート絶縁膜12を介してゲート電極26が形成されている。ゲート電極26は、ゲート絶縁膜12上に形成されたポリシリコン膜16、30と、ポリシリコン膜30上に形成されたWN膜20と、WN膜20上に形成されたW膜22との積層構造によって構成されている。WN膜20は、ポリシリコン膜30とW膜22とが反応して抵抗の高いタンゲステンシリサイドが形成されるのを防止するバリアメタルである。ゲート電極26上には、シリコン窒化膜24よりなるキャップ膜が形成されている。ポリシリコン膜16、30の側壁部分には、ゲート電極26をパターニングする際のダメージを除去するために形成されるシリコン酸化膜28が形成されている。ゲート電極26及びシリコン窒化膜24の側壁には、サイドウォール絶縁膜34が形成されている。ゲート電極26の両側のシリコン基板10内には、不純物拡散領域32と不純物拡散領域36により構成されたソース／ドレイン拡散層38が形成されている。

【0053】

ここで、本実施形態による半導体装置は、ゲート絶縁膜12上に形成されたポ

リシリコン膜が厚いポリシリコン膜16と薄いポリシリコン膜30との積層膜により形成されており、ポリシリコン膜16とポリシリコン膜30の結晶粒界が連続していないことに特徴がある。ポリシリコン膜16とポリシリコン膜30の結晶粒界が連続していないのは、これら膜の熱処理工程の違いに起因するものである。なお、結晶粒径のこのような相違は、例えば透過形電子顕微鏡(TEM)による断面観察やSIMS法によるボロンの濃度分布測定などによって確認することができる。

【0054】

以下、本実施形態による半導体装置の製造方法に沿って本実施形態による半導体装置について詳述する。

【0055】

まず、シリコン基板10上に、例えば熱酸化法により、窒素を数%程度含有する膜厚4nmのシリコン酸化膜よりなるゲート絶縁膜12を形成する(図6(a))。

【0056】

次いで、ゲート絶縁膜12を形成したシリコン基板10上に、例えばCVD法により、膜厚70nmのアモルファスシリコン膜14を形成する(図6(b))。

【0057】

次いで、イオン注入により、アモルファスシリコン膜14にアクセプタ不純物であるボロンイオンを注入する(図6(c))。例えば、加速エネルギーを5keV、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ としてボロンイオンを注入する。この際、ボロンが注入される層はアモルファスシリコン膜14であり、注入イオンのチャネリングは抑制される。なお、ノンドープのアモルファスシリコン膜14を堆積した後にボロンを添加する代わりに、ボロンドープのアモルファスシリコン膜14を堆積してもよい。

【0058】

次いで、例えば窒素雰囲気中で800°C 30分間の熱処理を行う。この熱処理は、アモルファスシリコン膜14を結晶化して注入したボロンを活性化させると

ともに、注入したボロンをゲート絶縁膜12近傍まで十分に拡散させるためである。この熱処理により、後に堆積するWN膜20近傍におけるボロン濃度が低下され、WN膜20方向に移動するボロンを低減することができる。なお、以下の説明では、結晶化したアモルファスシリコン膜14をポリシリコン膜16と表す。

【0059】

次いで、ポリシリコン膜16上に、例えばCVD法により膜厚10nmのアモルファスシリコン膜18を形成する（図6（d））。この際、ポリシリコン膜16とアモルファスシリコン膜18との間には、自然酸化膜（図示せず）が形成されている。

【0060】

次いで、アモルファスシリコン膜18上に、例えばスパッタ法により、膜厚5nmのWN膜20を形成する。

【0061】

なお、形成されるPMOSFETのAC特性を考慮すると、アモルファスシリコン膜18とWN膜20との間のボロン濃度をより高くすることが望ましい。かかる観点から、アモルファスシリコン膜18を堆積した後、WN膜20の堆積前に、アモルファスシリコン膜18にボロンイオンをイオン注入するようにしてもよい。

【0062】

次いで、WN膜20上に、例えばスパッタ法により、膜厚40nmのW膜22を形成する（図7（a））。

【0063】

次いで、W膜22上に、例えばCVD法により、膜厚100nmのシリコン窒化膜24を形成する。この際、成膜過程の熱処理により、アモルファスシリコン膜18は結晶化して多結晶シリコン30となる（図7（b））。

【0064】

なお、この工程及びその後の熱処理工程においてポリシリコン膜16中のボロンは熱拡散するが、ポリシリコン膜16とポリシリコン膜30との間には自然酸

化膜（図示せず）が形成されているため、ポリシリコン膜16からポリシリコン膜30方向へのボロンの拡散が抑制される。この結果、ポリシリコン膜16とポリシリコン膜30との界面近傍におけるポリシリコン膜16中のボロン濃度は、界面近傍のポリシリコン膜30中のボロン濃度よりも高くなる。これにより、WN膜20によるボロンの吸いこみが低減され、ポリシリコン膜16中のボロン濃度を向上することができる（図1参照）。

【0065】

次いで、通常のリソグラフィー技術及びエッチング技術により、シリコン窒化膜24、W膜22、WN膜20、ポリシリコン膜30及びポリシリコン膜16をパターニングし、上面がシリコン窒化膜24により覆われ、ポリシリコン膜16、30、WN膜20及びW膜22の積層膜よりなるポリメタル構造のゲート電極26を形成する（図7（c））。

【0066】

次いで、例えば水素と水蒸気とを含む雰囲気中で800℃60分間の熱処理を行い、W膜22及びWN膜20を酸化することなくポリシリコン膜16、30の側壁部分のみを選択的に酸化してシリコン酸化膜28を形成する。なお、このシリコン酸化膜28は、ゲート電極26のパターニングの際にゲート電極26端部のゲート絶縁膜12に導入されるエッチングダメージを除去するためのものである（図8（a））。

【0067】

次いで、ゲート電極26をマスクとして、例えばBF₂イオンを、加速エネルギーを5keV、ドーザ量を $5 \times 10^{14} \text{ cm}^{-2}$ としてイオン注入し、ゲート電極26の両側のシリコン基板10内に、LDD構造或いはエクステンションソースドレイン構造の低濃度領域となる不純物拡散領域32を形成する（図8（b））。

【0068】

次いで、全面に、例えばCVD法により膜厚60nmのシリコン窒化膜を堆積してエッチバックし、ゲート電極26及びシリコン窒化膜24の側壁に、シリコン窒化膜よりなるサイドウォール絶縁膜34を形成する（図9（a））。

【0069】

次いで、ゲート電極26及びサイドウォール絶縁膜34をマスクとして、例え
ばボロンイオンを、加速エネルギーを5keV、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ と
してイオン注入し、LDD構造或いはエクステンションソースドレイン構造の高
濃度領域となる不純物拡散領域36を形成する。

【0070】

次いで、窒素雰囲気中で例えば950°C 10秒間の熱処理を行い、低濃度不純
物拡散領域32、36に導入されたボロンイオンを活性化し、ソース／ドレイン
拡散層38を形成する（図9（b））。

【0071】

こうして、ポリメタル構造のゲート電極26を有するPMOSFETを形成す
る。

【0072】

このように、本実施形態によれば、ボロンを添加したポリシリコン膜16を形
成した後、WN膜20を形成する前に、これらの間にアモルファスシリコン膜1
8を介在させるので、ポリシリコン膜16からのボロンのWN膜20方向への拡
散を低減することができる。これにより、ゲート電極26の空乏化を抑制するこ
とができる。

【0073】

[第2実施形態]

本発明の第2実施形態による半導体装置の製造方法について図10及び図11
を用いて説明する。なお、図5乃至図9に示す第1実施形態による半導体装置及
びその製造方法と同一の構成要素には同一の符号を付し説明を省略し或いは簡略
にする。図10及び図11は本実施形態による半導体装置の製造方法を示す工程
断面図である。

【0074】

まず、シリコン基板10上に、例えば熱酸化法により、窒素を数%程度含有す
る膜厚4nmのシリコン酸化膜よりなるゲート絶縁膜12を形成する（図10（
a））。

【0075】

次いで、ゲート絶縁膜12を形成したシリコン基板10上に、例えばCVD法により、膜厚100nmのポリシリコン膜40を形成する(図10(b))。

【0076】

次いで、イオン注入法により、ポリシリコン膜40の表面をアモルファス化する(図10(c))。例えば、Geイオンを、加速エネルギーを10keV、ドーズ量を $5 \times 10^{14} \text{ cm}^{-2}$ としてイオン注入し、ポリシリコン膜40の表面をアモルファス化する。なお、Geイオンによりプリアモルファス化をする場合、ドーズ量は、多くとも $5 \times 10^{14} \text{ cm}^{-2}$ 程度にすることが望ましい。あまりに多くのGeをポリシリコン膜40中に導入すると、Geの効果によってポリシリコン膜40の上面側におけるB-Ge結合によるボロンの活性化が促進され、ゲート絶縁膜12界面近傍におけるボロン濃度が低下するからである。

【0077】

次いで、イオン注入により、ポリシリコン膜40にアクセプタ不純物であるボロンイオンを注入する(図10(d))。例えば、加速エネルギーを5keV、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ としてボロンイオンを注入する。この際、ボロンが注入されるポリシリコン膜40の表面はアモルファス化されているため、注入イオンのチャネリングは抑制される。なお、ノンドープのポリシリコン膜40を堆積した後にボロンを添加する代わりに、ボロンドープのポリシリコン膜40を堆積してもよい。

【0078】

次いで、例えば窒素雰囲気中で800°C 30分間の熱処理を行う。この熱処理は、ポリシリコン膜40に注入したボロンを活性化させるとともに、注入したボロンをゲート絶縁膜12近傍まで十分に拡散させるためである。この熱処理により、後に堆積するWN膜20近傍におけるボロン濃度が低下され、WN膜20方向に移動するボロンを低減することができる。また、ポリシリコン膜40はアモルファス状態で堆積していないため、この熱処理過程及びその後の熱処理工程における熱拡散によって、ポリシリコン膜40中のボロンがシリコン基板10中へ拡散することを抑制することができる(図2参照)。

【0079】

次いで、ポリシリコン膜40上に、例えばCVD法により膜厚10nmのアモルファスシリコン膜18を形成する(図11(a))。この際、ポリシリコン膜40とアモルファスシリコン膜18との間には、自然酸化膜(図示せず)が形成されている。

【0080】

次いで、アモルファスシリコン膜18上に、例えばスパッタ法により、膜厚5nmのWN膜20を形成する。

【0081】

次いで、WN膜20上に、例えばスパッタ法により、膜厚40nmのW膜22を形成する。

【0082】

次いで、W膜22上に、例えばCVD法により、膜厚100nmのシリコン窒化膜24を形成する。この際、成膜過程の熱処理により、アモルファスシリコン膜18は結晶化して多結晶シリコン30となる(図11(b))。なお、上記の製造方法により多結晶シリコン膜40、30を形成する場合、多結晶シリコン膜40の結晶粒径は、多結晶シリコン膜30の結晶粒径よりも小さくなる。

【0083】

次いで、図7(a)乃至図9(b)に示す第1実施形態による半導体装置の製造方法と同様にして、ポリシリコン膜40、30、WN膜20、W膜22の積層膜よりなるポリメタル構造のゲート電極26を有するPMOSFETを形成する(図11(c))。

【0084】

このように、本実施形態によれば、ポリシリコン膜40にボロンを導入した後、WN膜20を形成する前に、これらの間にアモルファスシリコン膜18を介在させてるので、ポリシリコン膜40からのボロンのWN膜20方向への拡散を低減することができる。これにより、ゲート電極26の空乏化を抑制することができる。

【0085】

また、アモルファスシリコン膜14を堆積してボロンをドープするのではなく、ポリシリコン膜40を堆積してボロンをドープするので、その後の熱処理におけるボロンのシリコン基板10中の拡散を抑制することができる。

【0086】

なお、上記実施形態では、バリアメタルとしてWN膜を適用した場合について説明したが、バリアメタルによるボロンの吸いこみは、ボロンと窒素との結合が形成されることに起因する。したがって、窒化物により構成される他のバリアメタル材料、例えば、M_oN（窒化モリブデン）、TiN（窒化チタン）、VN（窒化バナジウム）、CrN（窒化クロム）、CuN（窒化銅）、CoN（窒化コバルト）、FeN（窒化鉄）、ZnN（窒化亜鉛）、NiN（窒化ニッケル）などによりバリアメタルを構成するMOSFETにおいても、本発明を適用することができる。

【0087】

また、上記実施形態では、ボロンのバリアメタル方向への拡散を抑制するためにポリシリコン膜とアモルファスシリコン膜との間に形成される自然酸化膜を利用しているが、自然酸化膜を利用するほか、ポリシリコン膜の形成後、アモルファスシリコン膜の形成前に、ポリシリコン膜の表面を積極的に酸化する工程を設けてもよい。例えば、塩酸等を用いた薬液処理や、短時間酸化処理により、自然酸化膜と同等の膜厚の薄いシリコン酸化膜を形成することができる。

【0088】

また、上記実施形態では、ポリシリコン膜のプリアモルファス化にGeイオンを用いたが、Geイオンに限られるものではない。例えば、Ge（ゲルマニウム）、Si、Sn（錫）などのIV族系イオン、Ga（ガリウム）やIn（インジウム）などのIII族系イオン、Ar（アルゴン）やKr（クリプトン）などの不活性ガス系のイオン、I（ヨウ素）、Cl（塩素）、Br（臭素）などのハロゲン系のイオンを適用することができる。また、低濃度のイオン注入でアモルファス化が可能なAs（砒素）やSb（アンチモン）などであれば、V族系イオンを適用することもできる。

【0089】

【発明の効果】

以上の通り、本発明によれば、アモルファスシリコン膜或いはポリシリコン膜にボロンを導入した後、金属の窒化物からなるバリアメタルを形成する前に、これらの間にシリコン膜を介在させるので、下層のポリシリコン膜からのボロンのバリアメタル方向への拡散を低減することができる。これにより、ゲート電極の空乏化を抑制することができる。

【0090】

また、下層のポリシリコン膜を形成するにあたり、アモルファスシリコン膜を堆積するのではなくポリシリコン膜を堆積し、このポリシリコン膜にボロンをドープするので、その後の熱処理におけるボロンのシリコン基板方向への拡散を抑制することができる。

【図面の簡単な説明】**【図1】**

本発明及び従来の半導体装置におけるゲート電極中のボロン濃度分布を示すグラフ（その1）である。

【図2】

本発明及び従来の半導体装置におけるゲート電極中のボロン濃度分布を示すグラフ（その2）である。

【図3】

本発明及び従来の半導体装置におけるC-V測定の結果を示すグラフである。

【図4】

本発明及び従来の半導体装置におけるPMOSFETのI_d-V_g特性を示すグラフである。

【図5】

本発明の第1実施形態による半導体装置の構造を示す概略断面図である。

【図6】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図7】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図8】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図9】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図10】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図11】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図12】

従来の半導体装置の構造を示す概略断面図である。

【図13】

従来の半導体装置におけるゲート電極中のボロン濃度分布を示すグラフである。

【図14】

従来の半導体装置におけるゲート電極中のボロンの結合状態を示すグラフである。

【符号の説明】

10…シリコン基板

12…ゲート絶縁膜

14…アモルファスシリコン膜

16…ポリシリコン膜

18…アモルファスシリコン膜

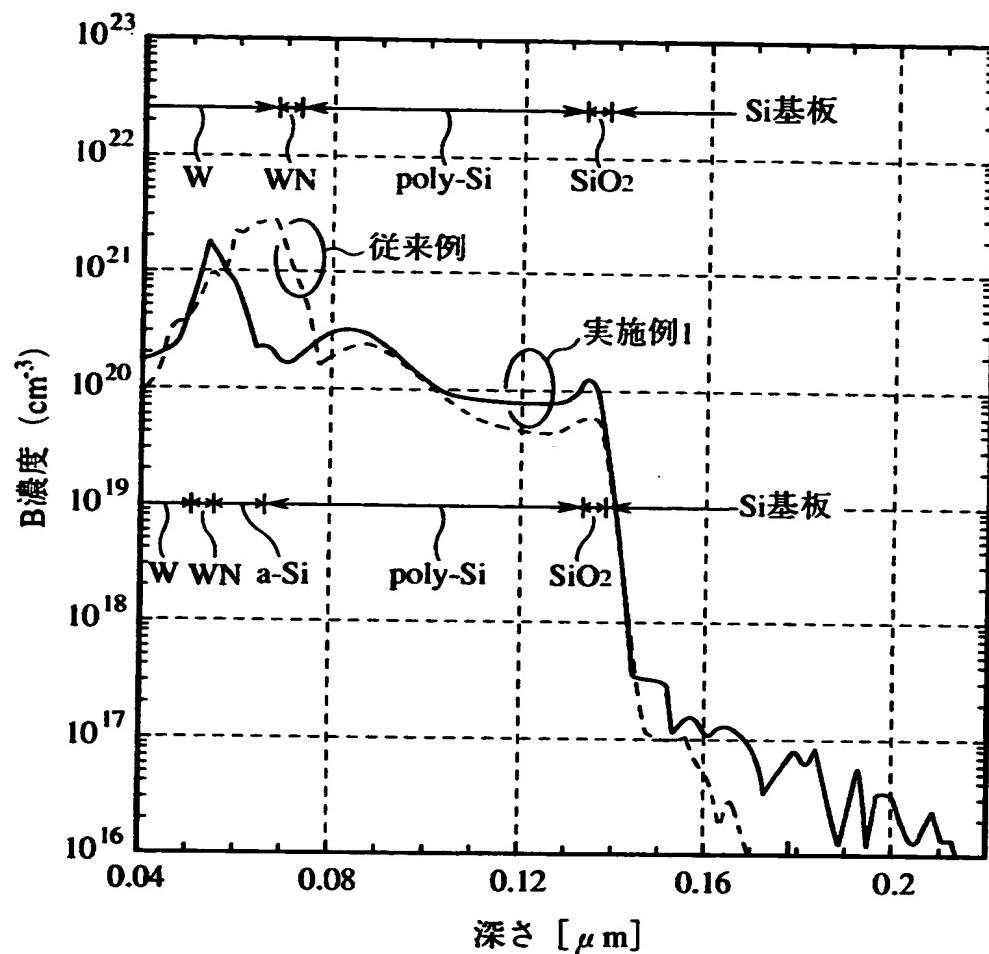
20…WN膜

22…W膜
24…シリコン窒化膜
26…ゲート電極
28…シリコン酸化膜
30…ポリシリコン膜
32…不純物拡散領域
34…サイドウォール絶縁膜
36…不純物拡散領域
38…ソース／ドレイン拡散層
40…ポリシリコン膜
100…シリコン基板
102…ゲート絶縁膜
104…ゲート電極
106…ポリシリコン膜
108…WN膜
110…W膜
112…キャップ膜
116…サイドウォール絶縁膜
118…不純物拡散領域
120…不純物拡散領域
122…ソース／ドレイン拡散層

【書類名】 図面

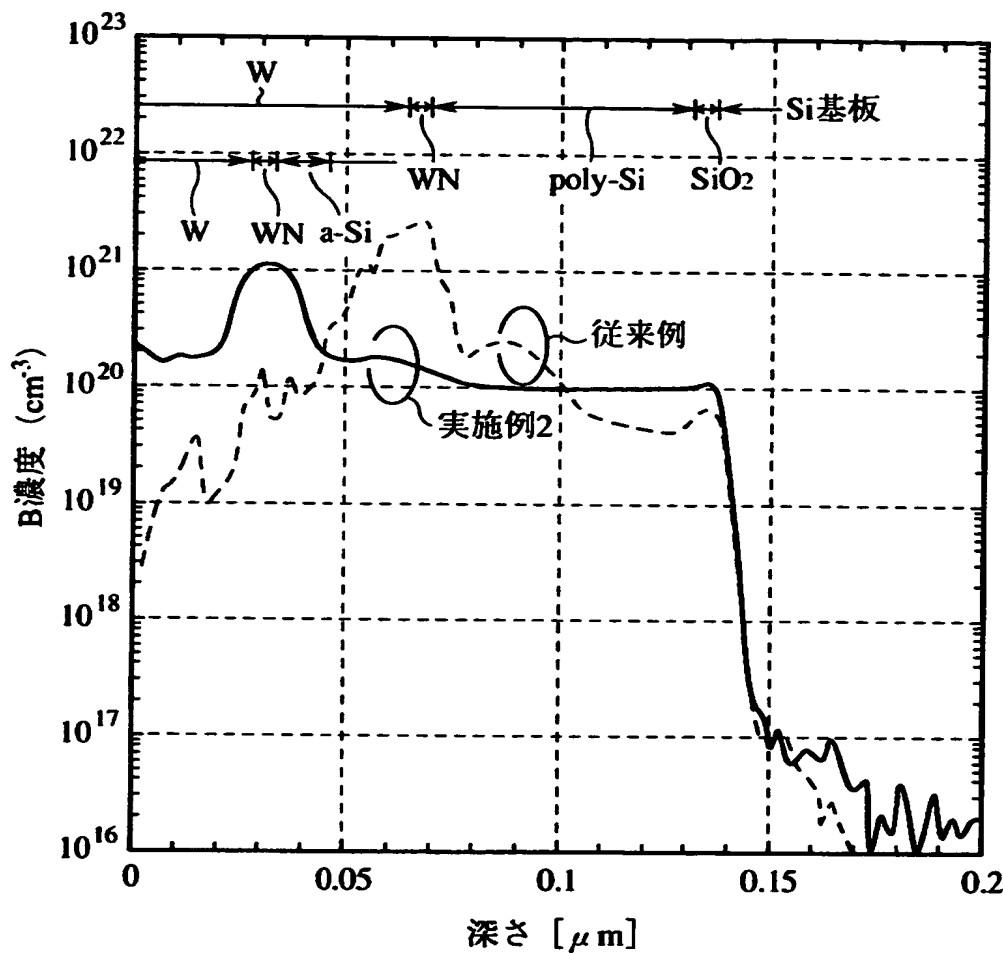
【図1】

本発明及び従来の半導体装置におけるゲート電極中の
ボロン濃度分布を示すグラフ（その1）



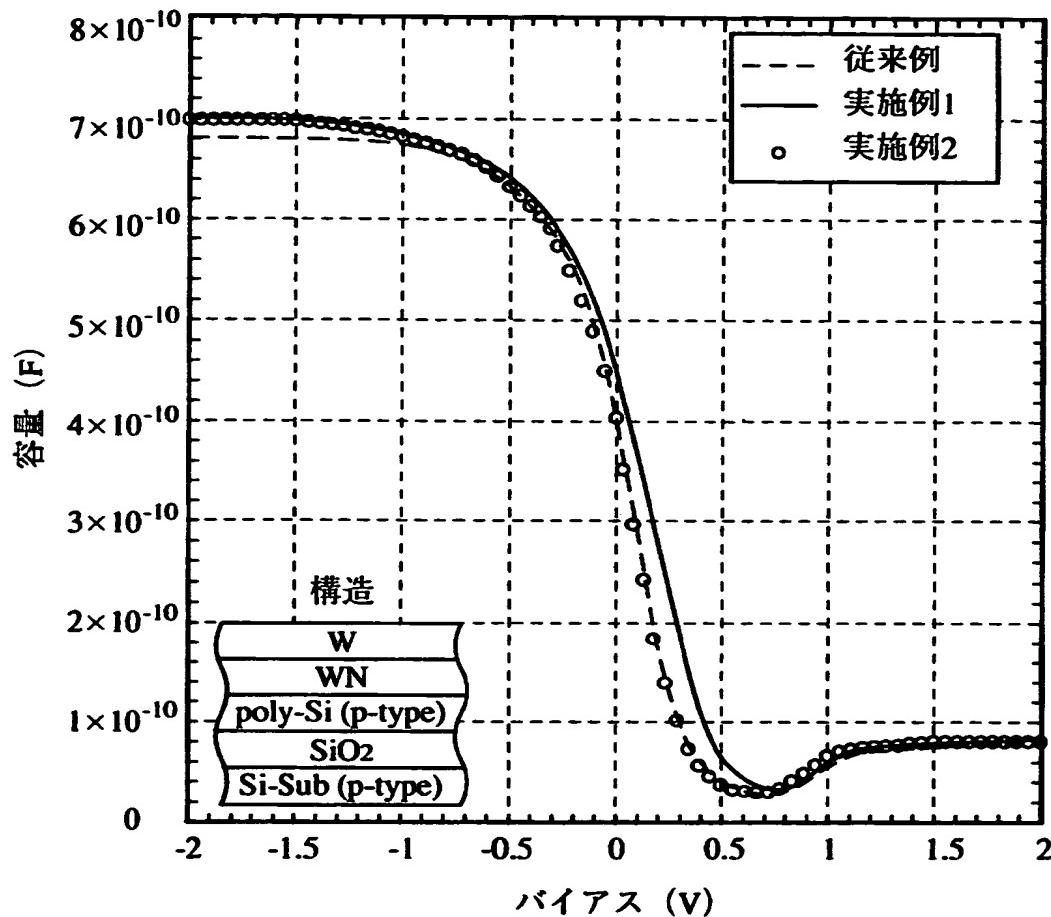
【図2】

本発明及び従来の半導体装置におけるゲート電極中の
ボロン濃度分布を示すグラフ（その2）



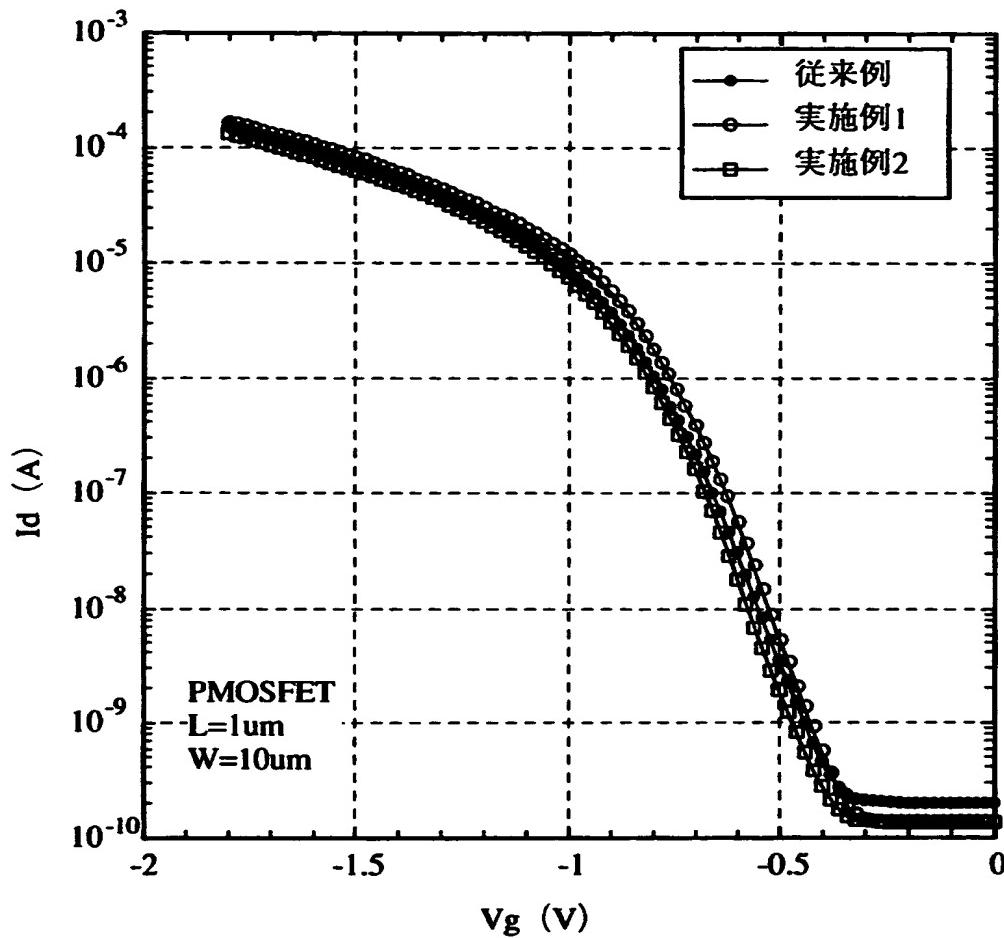
【図3】

本発明及び従来の半導体装置におけるC-V測定の結果を示すグラフ



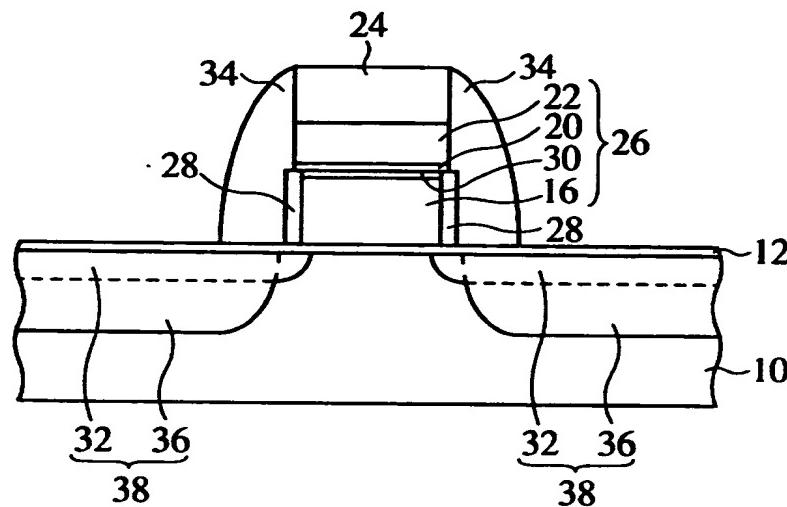
【図4】

本発明及び従来の半導体装置におけるPMOSFETの
Id-Vg特性を示すグラフ



【図5】

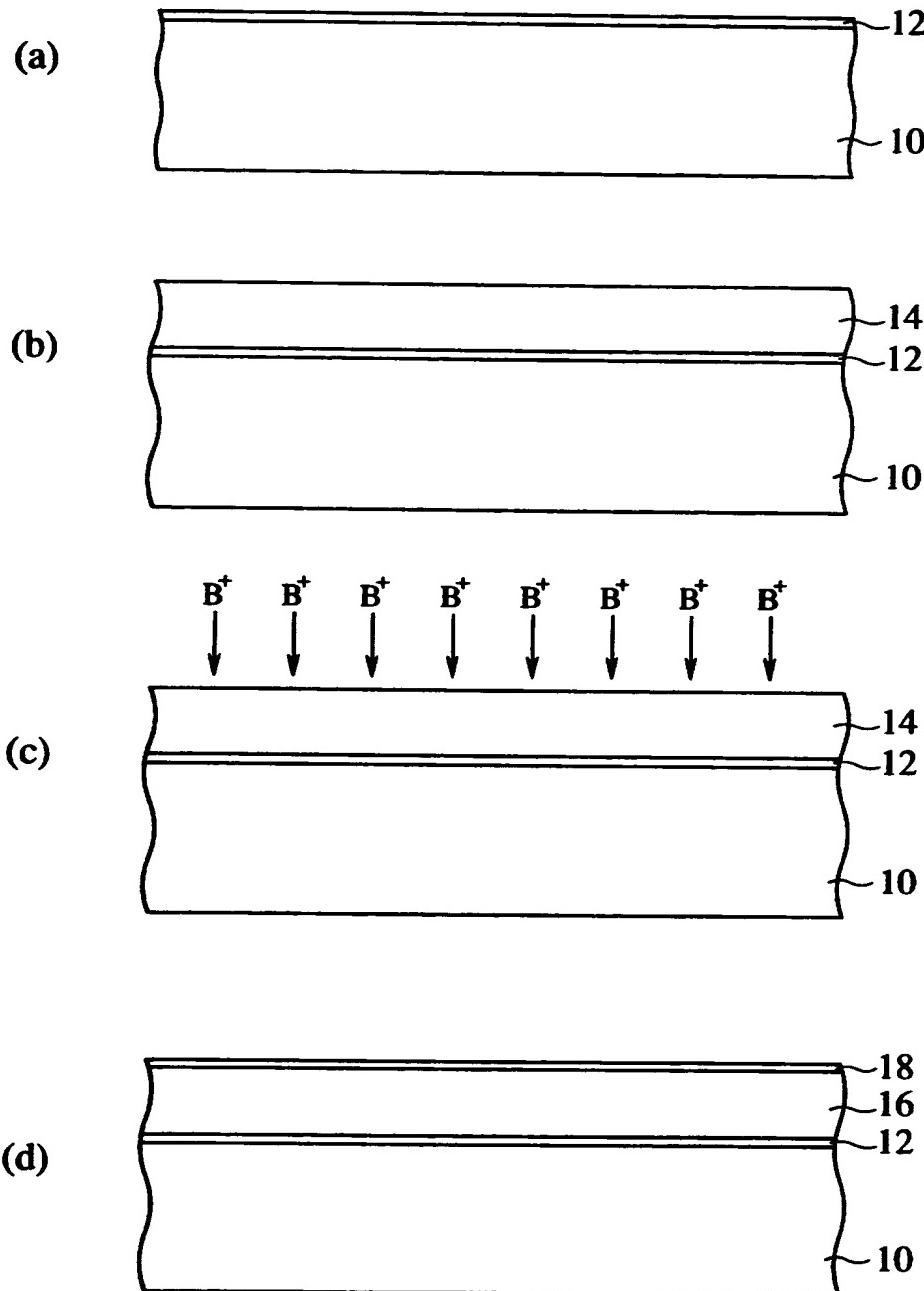
本発明の第1実施形態による半導体装置の構造を示す
概略断面図



- | | |
|---------------|----------------|
| 10…シリコン基板 | 26…ゲート電極 |
| 12…ゲート絶縁膜 | 28…シリコン酸化膜 |
| 16,30…ポリシリコン膜 | 32,36…不純物拡散領域 |
| 20…WN膜 | 34…サイドウォール絶縁膜 |
| 22…W膜 | 38…ソース/ドレイン拡散層 |
| 24…シリコン窒化膜 | |

【図6】

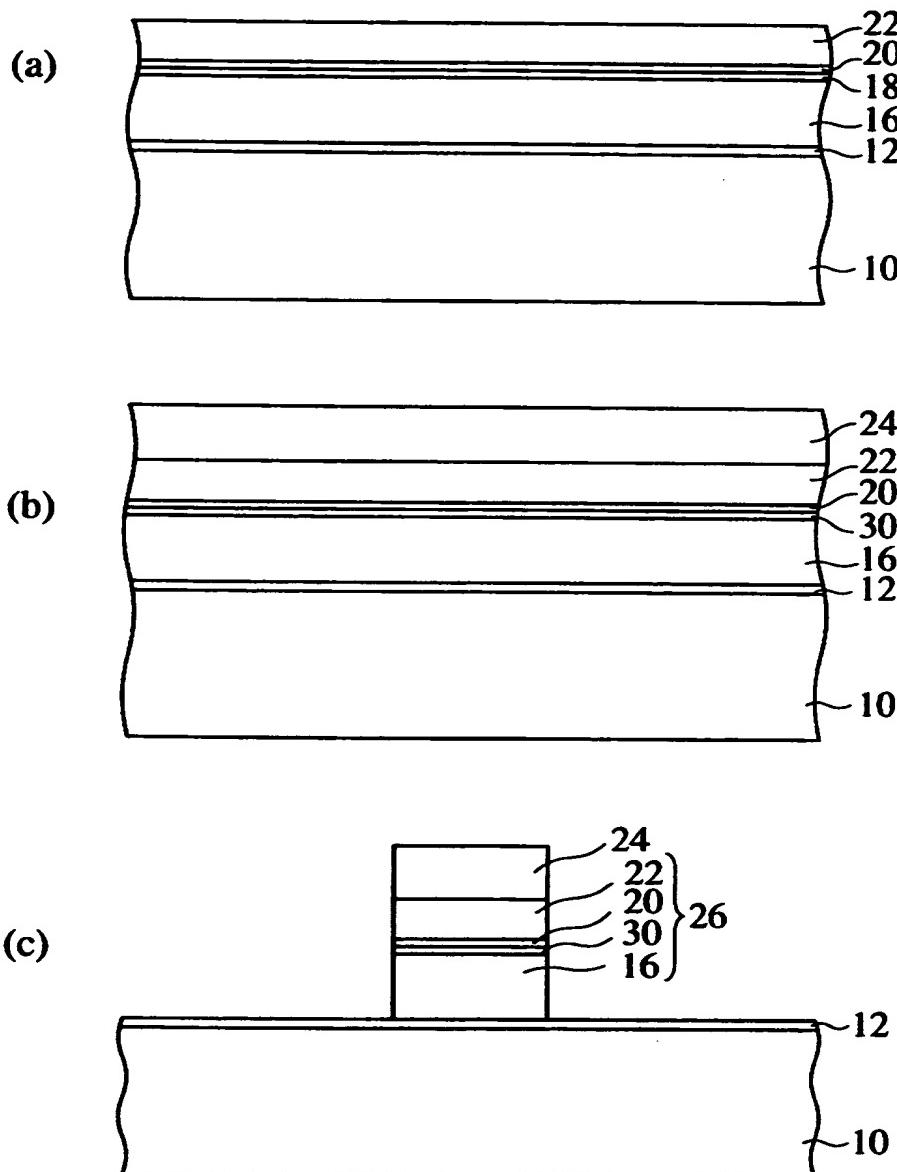
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その1）



10…シリコン基板
12…ゲート絶縁膜
14…アモルファスシリコン膜
16…ポリシリコン膜
18…アモルファスシリコン膜

【図7】

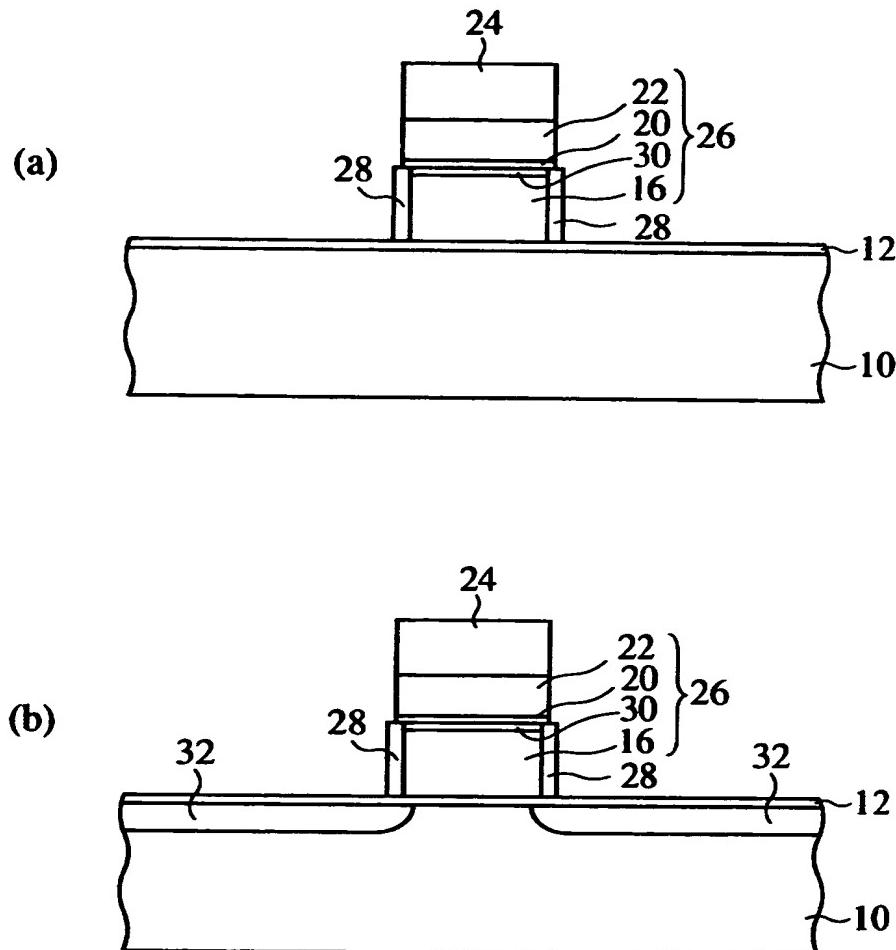
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その2）



20…WN膜
22…W膜
24…シリコン窒化膜
26…ゲート電極

【図8】

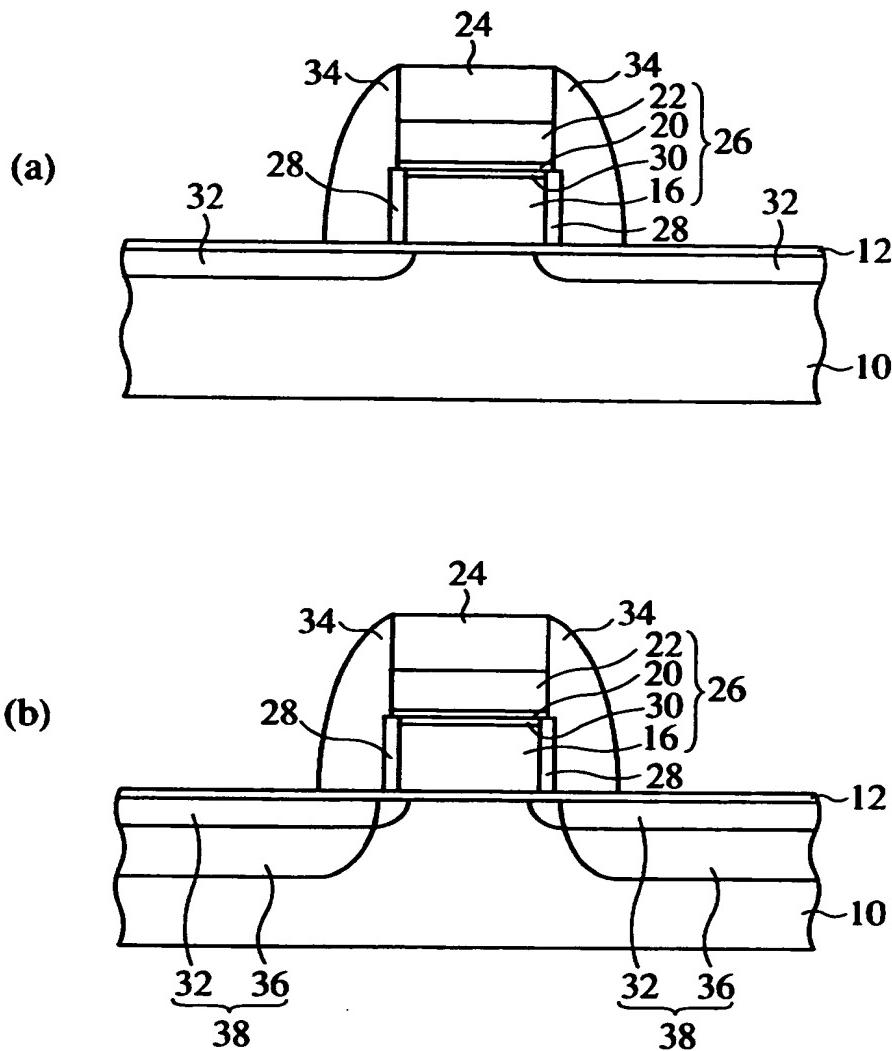
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その3）



28…シリコン酸化膜
30…ポリシリコン膜
32…不純物拡散領域

【図9】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その4）



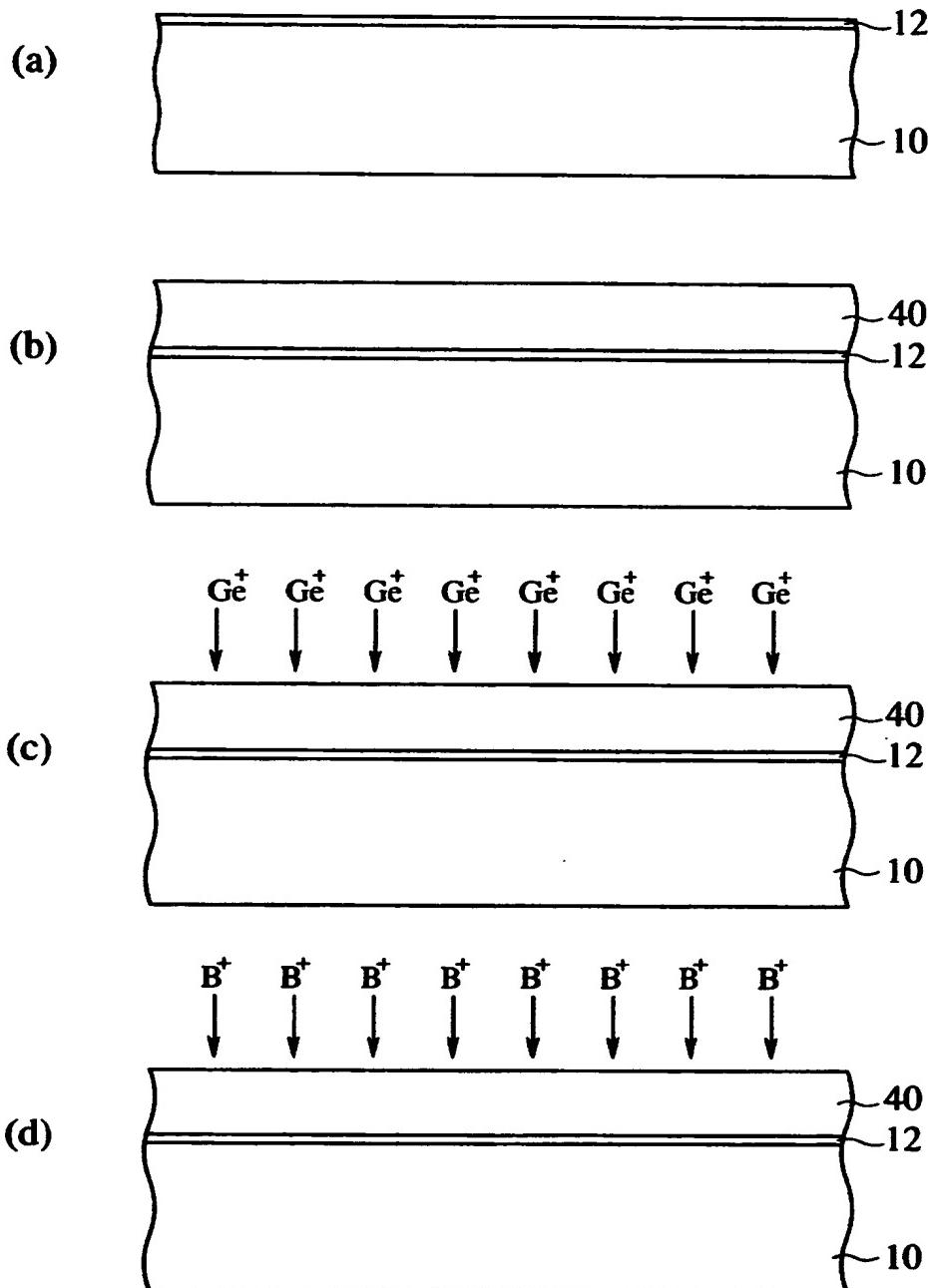
34…サイドウォール絶縁膜

36…不純物拡散領域

38…ソース/ドレイン拡散層

【図10】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図（その1）

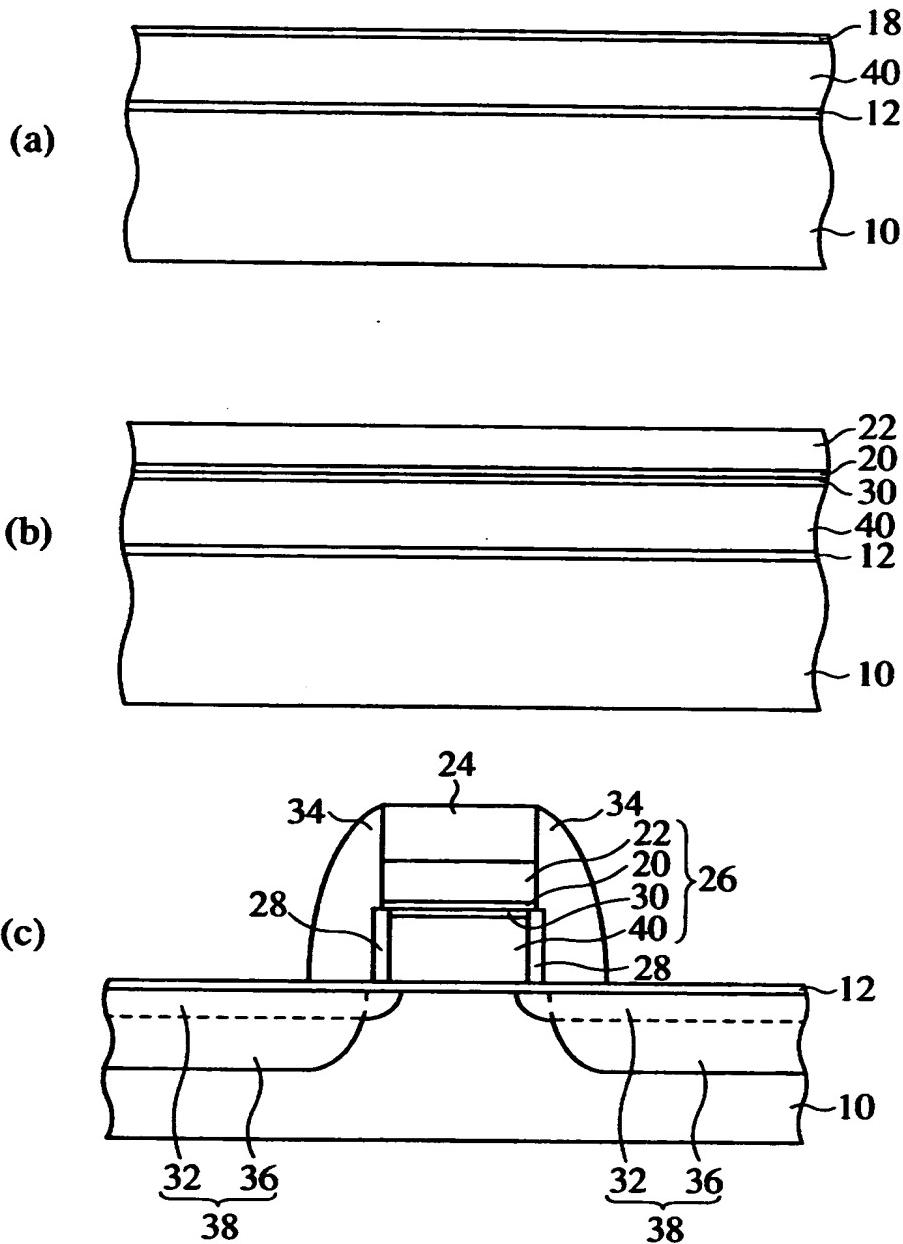


10…シリコン基板
12…ゲート絶縁膜
40…ポリシリコン膜

特平11-373406

【図11】

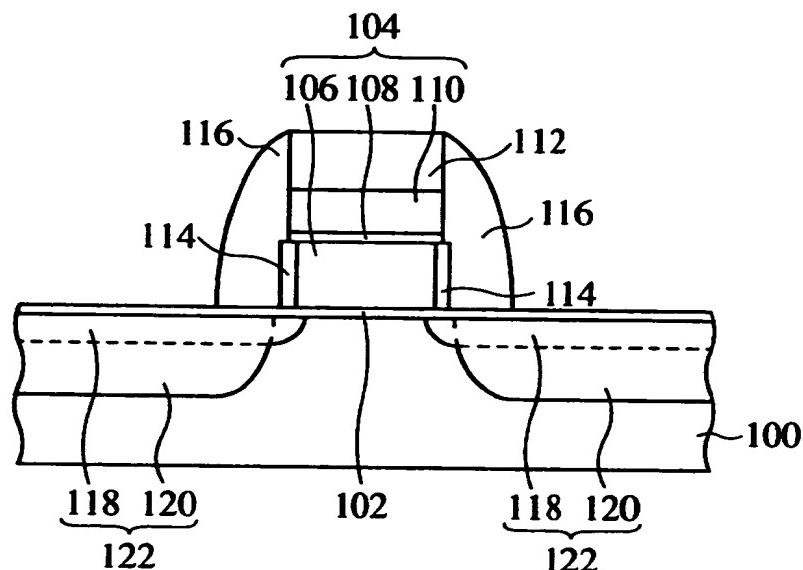
本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図（その2）



- | | |
|----------------|----------------|
| 18…アモルファスシリコン膜 | 28…シリコン酸化膜 |
| 20…WN膜 | 30…ポリシリコン膜 |
| 22…W膜 | 32,36…不純物拡散領域 |
| 24…シリコン窒化膜 | 34…サイドウォール絶縁膜 |
| 26…ゲート電極 | 38…ソース/ドレイン拡散層 |

【図12】

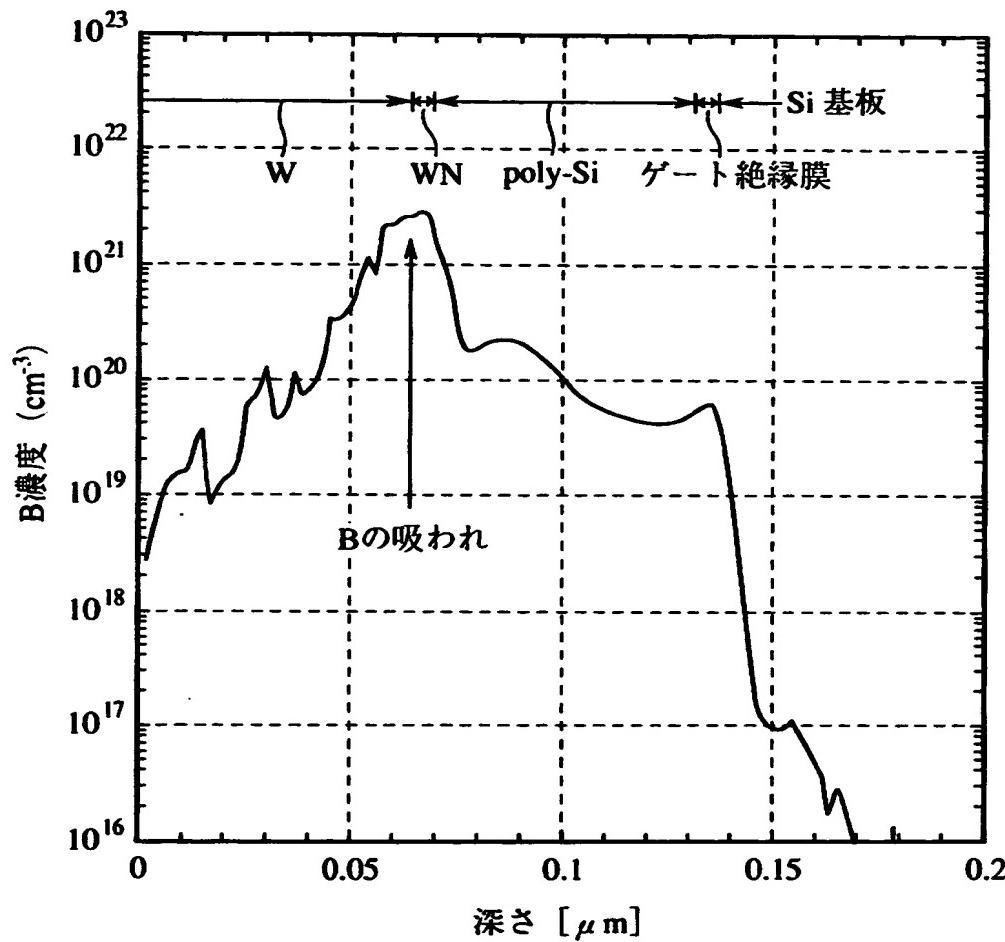
従来の半導体装置の構造を示す概略断面図



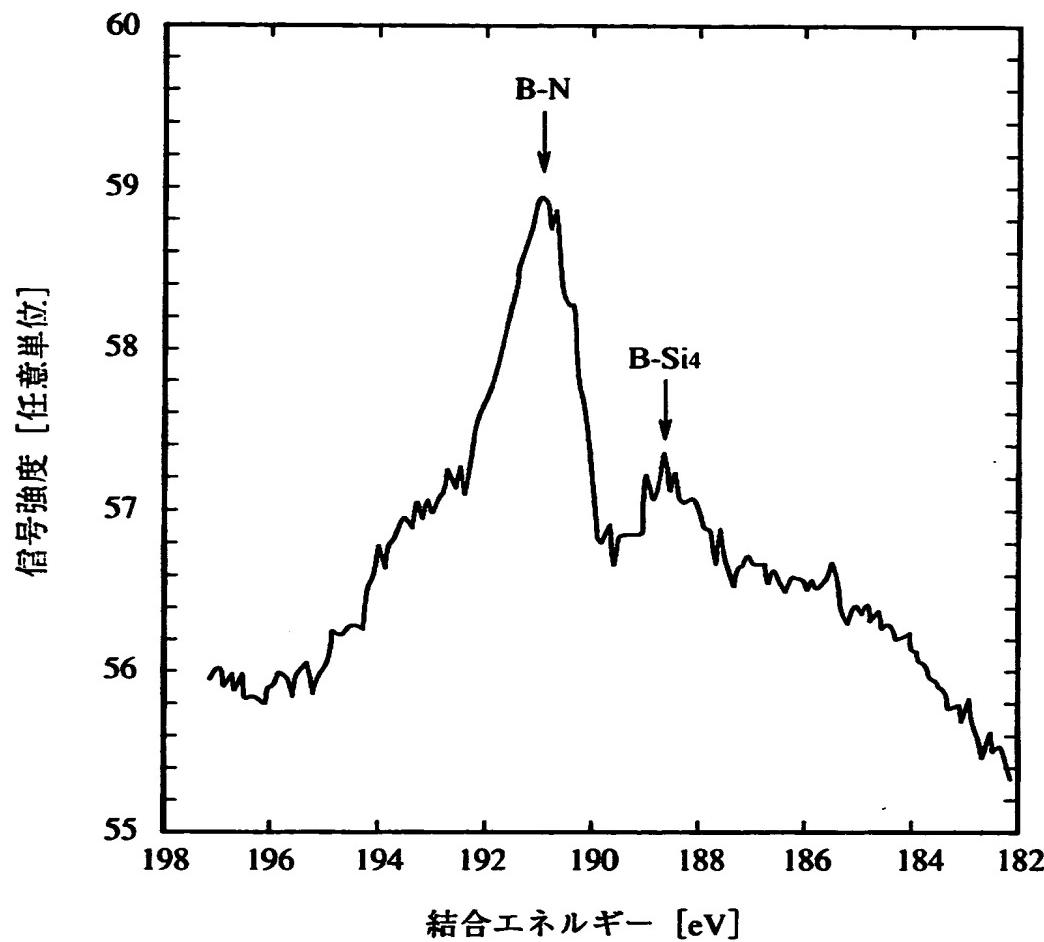
- | | |
|-------------|-----------------|
| 100…シリコン基板 | 110…W膜 |
| 102…ゲート絶縁膜 | 112…キャップ膜 |
| 104…ゲート電極 | 116…サイドウォール絶縁膜 |
| 106…ポリシリコン膜 | 118,120…不純物拡散領域 |
| 108…WN膜 | 122…ソース/ドレイン拡散層 |

【図13】

従来の半導体装置におけるゲート電極中の
ボロン濃度分布を示すグラフ



【図14】

従来の半導体装置におけるゲート電極中の
ポロンの結合状態を示すグラフ

【書類名】 要約書

【要約】

【課題】 ポリシリコン膜と金属膜とを積層したポリメタル構造のゲート電極を有する半導体装置及びその製造方法に関し、PMOSFETのゲート電極の空乏化を抑制しうる半導体装置及びその製造方法を提供する。

【解決手段】 シリコン基板10中に離間して形成された一対の不純物拡散領域38と、不純物拡散領域38の間のシリコン基板10上にゲート絶縁膜12を介して形成されたゲート電極26を有する半導体装置において、ゲート電極26は、ゲート絶縁膜12上に形成されたポリシリコン膜16と、ポリシリコン膜16上に形成され、ポリシリコン膜16とは結晶粒界が連続しないポリシリコン膜30と、ポリシリコン膜30上に形成された金属窒化物膜20と、バリアメタル膜20上に形成された金属膜22とを有する。

【選択図】 図5

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝